

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-43639

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
G 0 9 F 9/30	3 3 8	7426-5H	G 0 9 F 9/30	3 3 8 Z

審査請求 未請求 請求項の数 5 F D (全 8 頁)

(21) 出願番号 特願平7-215384

(22) 出願日 平成7年(1995)7月31日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 佐藤 拓生

東京都品川区北品川6丁目7番35号 ソニー株式会社内

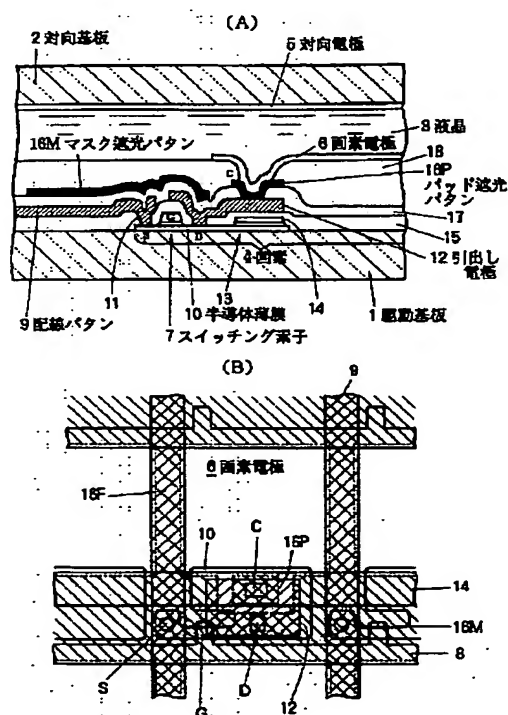
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 透過型表示装置

(57) 【要約】

【課題】 駆動基板側にブラックマトリクスを設けた構造でその多重反射によるコントラストの低下を防止する。

【解決手段】 透過型表示装置の出射側に位置する駆動基板1は画素電極6及びスイッチング素子7を構成単位とする画素4の集合と、個々の画素4の非開口部を入射側から遮光するブラックマトリクスとを有する。ブラックマトリクスは低反射金属層(16M, 16P, 16F)と高反射金属層(9, 11, 12)とを層間絶縁膜17を介して重ねた積層構造を有する。両者はボタン化されて互いに部分的に重なり合い相補的に入射光を遮閉する。対向基板2の入射側から平面的に見て低反射金属層(16M, 16P, 16F)の露出面積を拡大化する一方高反射金属層(9, 11, 12)の露出面積を縮小化してブラックマトリクスの表面反射率を抑制する。これにより液晶3内の多重反射がなくなり漏れ光によるコントラストの低下を防げる。



BEST AVAILABLE COPY

(2)

【特許請求の範囲】

【請求項 1】 所定の間隙を介して互いに接合した一対の透明基板と該間隙に保持された電気光学物質とを備えたパネル構造を有し、

入射側に位置する一方の透明基板は対向電極を有し、

出射側に位置する他方の透明基板は画素電極及びスイッチング素子を構成単位とする画素の集合と、個々の画素の非開口部を入射側から遮光するブラックマトリクスとを有し、

該ブラックマトリクスは比較的低い反射率を有する低反射金属層と比較的高い反射率を有する高反射金属層とを絶縁膜を介して重ねた積層構造を有し、両者はパタン化されて互いに部分的に重なり合い相補的に入射光を遮閉し、
入射側から平面的に見て該低反射金属層の露出面積を拡大化する一方該高反射金属層の露出面積を縮小化する透過型表示装置。

【請求項 2】 前記ブラックマトリクスは該低反射金属層が該高反射金属層よりも入射側に位置し、前者のパタンを後者のパタンの上部に拡張して該ブラックマトリクスの表面反射を抑制する請求項 1 記載の透過型表示装置。

【請求項 3】 前記低反射金属層は行列配置した画素の行方向に沿った遮光パタンを含む一方前記高反射金属層は列方向に沿った配線パタンを含み、該遮光パタンと該配線パタンは互いに補い合ってブラックマトリクスを構成する請求項 2 記載の透過型表示装置。

【請求項 4】 前記低反射金属層は、電位固定された該遮光パタンから分離し且つ孤立した浮遊電位の拡張遮光パタンを含んでおり、該拡張遮光パタンは該配線パタンの上部に配置されている請求項 3 記載の透過型表示装置。

【請求項 5】 前記ブラックマトリクスは該高反射金属層が該低反射金属層よりも入射側に位置し、前者のパタンを後者のパタンの上部から選択的に排除して該ブラックマトリクスの表面反射を抑制する請求項 1 記載の透過型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は駆動基板と対向基板と両者の間に保持された液晶等からなるアクティブマトリクス構造の透過型表示装置に関する。より詳しくは、画素電極及びスイッチング素子に加え遮光用のブラックマトリクスを駆動基板側に形成した所謂オンチップブラック構造に関する。

【0002】

【従来の技術】 液晶表示装置はテレビやグラフィックディスプレイ等に盛んに用いられている。その中でも、特にアクティブマトリクス型の液晶表示装置は高速応答性を有し、高画素数化に適しており、ディスプレイ画面の

2

高画質化、大型化、カラー化等を実現するものとして期待され、研究開発が進められて既に実用化されたものがある。図 5 に示す様に、このアクティブマトリクス型表示装置は駆動基板 101 側に走査配線パタンと信号配線パタンを直交する様に設け、その交差部毎にスイッチング素子 102 と画素電極 103 とを夫々配設したものである。一方、対向基板 104 側には対向電極 105 に加えて通常ブラックマトリクス 106 が形成されている。このブラックマトリクスは対向基板 104 側から入射する光を遮断して、光電流によるスイッチング素子 102 の誤動作を防ぐと共に、行列配置した画素電極 103 の間を通過する漏れ光を遮断してコントラストの低下を防いでいる。なお、駆動基板 101 と対向基板 104 の間隙には液晶 107 が保持されている。しかしながら、ブラックマトリクス 106 を対向基板 104 側に設けると、駆動基板 101 側とのアライメントを精密に行なわなければならない、組立加工上負担になっている。この様なアライメントずれの対策として、個々の画素電極 103 とある程度オーバーラップする様にブラックマトリクス 106 を配設するという方法が通常採用されている。この様にすれば、駆動基板 101 と対向基板 104 とを接合する際のアライメント誤差はオーバーラップ部分の寸法までは吸収できる。しかしながら、オーバーラップ部分を設けるとその分ブラックマトリクス 106 の画素電極 103 に対する開口面積が縮小化され、開口率が犠牲になり画素の輝度が低下する。なお、ブラックマトリクス 106 は例えば遮光性を有する金属膜からなり、ある程度入射光を反射する。反射光は対向基板 104 等で多重反射され、一部は液晶 107 に進入する。

【0003】

【発明が解決しようとする課題】 この様に、対向基板側にブラックマトリクスを配設する場合には駆動基板と対向基板とを組み合わせる際に生じる位置ずれの問題がある。そこで、ブラックマトリクスを駆動基板側に作り込む所謂オンチップブラック構造が提案されている。同一基板上では画素電極とブラックマトリクスとの位置合わせ精度は $1\mu\text{m}$ 程度まで実現可能である。かかるオンチップブラック構造は例えば特開平 5-181159 号公報に開示されており、図 6 の模式図に表わしてある。図 5 の従来例と対応する部分には対応する参照番号を付して理解を容易にしている。しかしながら、駆動基板 101 側に金属膜等からなるブラックマトリクス 106 を設け、対向基板 104 側に遮光層がないオンチップブラック構造では、入射光の多重反射が問題となり、コントラストの低下が発生している。前述した様にブラックマトリクス 106 は金属膜からなりある割合で入射光を反射する。駆動基板 101 側に反射層が存在すると、液晶 107 内を多重反射する光成分が出てくる。液晶 107 内の多重反射光は液晶 107 を 1 回だけ通過する通常光とは偏光面がずれており、この為黒表示の場合にも漏れ光

(3)

3

が生じ、コントラストの低下が生じる。特に、横方向電界によるリバースチルトドメインが存在する領域では多重反射により大量の漏れ光が発生する。対向基板 104 側からの入射光に限らず、駆動基板 101 側からの入射光についても多重反射が生じる為コントラストに悪影響を与える。

【0004】

【課題を解決するための手段】上述した従来の技術の課題を解決する為以下の手段を講じた。即ち、本発明にかかる透過型表示装置は所定の間隙を介して互いに接合した一対の透明基板と該間隙に保持された電気光学物質とを備えたパネル構造を有する。入射側に位置する一方の透明基板は対向電極を有する。出射側に位置する他方の透明基板は画素電極及びスイッチング素子を構成単位とする画素の集合と、個々の画素の非開口部を入射側から遮光するブラックマトリクスとを有する。該ブラックマトリクスは比較的低い反射率を有する低反射金属層と比較的高い反射率を有する高反射金属層とを絶縁膜を介して重ねた積層構造を有する。両者はパタン化されて互いに部分的に重なり合い相補的に入射光を遮閉する。特徴事項として、入射側から平面的に見て該低反射金属層の露出面積を拡大化する一方該高反射金属層の露出面積を縮小化する。

【0005】好ましくは、前記ブラックマトリクスは該低反射金属層が該高反射金属層よりも入射側に位置し、前者のパタンを後者のパタンの上部に拡張して該ブラックマトリクスの表面反射を抑制する。具体的には、前記低反射金属層は行列配置した画素の行方向に沿った遮光パタンを含む一方、前記高反射金属層は列方向に沿った配線パタンを含む。この場合、該遮光パタンと該配線パタンは互いに補い合ってブラックマトリクスを構成する。さらに好ましくは、前記低反射金属層は電位固定された該遮光パタンから分離し且つ孤立した浮遊電位の拡張遮光パタンを含んでいる。この拡張遮光パタンは該配線パタンの上部に配置されている。場合によっては、前記ブラックマトリクスは該高反射金属層が該低反射金属層よりも入射側に位置する。この時には、前者のパタンを後者のパタンの上部から選択的に排除して該ブラックマトリクスの表面反射を抑制する。

【0006】本発明によれば低反射金属層と高反射金属層を組み合わせるブラックマトリクスにしている。両者はパタン化されて互いに部分的に重なり合い相補的に入射光を遮閉する。入射側から平面的に見て低反射金属層の露出面積を拡大化する一方高反射金属層の露出面積を縮小化してブラックマトリクスの表面反射を抑制している。これにより液晶内の多重反射によるコントラスト低下を防止できる。例えば、低反射金属層と高反射金属層の何れの層でも遮光が可能な領域については、低反射金属層で遮光を行ない、その上には高反射金属層を設置しない様にする。高反射金属層よりも上層に低反射金属層

4

が位置する場合には、相補的遮光の為に必要な重なり部分以外にも、高反射金属層の上部に低反射金属層を配置する。あるいは、逆に低反射金属層の上部に高反射金属層が配置されている場合には、相補的遮光の為に必要な重なり部を除いて、低反射金属層の上部に高反射金属層を設置しない様にする。

【0007】

【発明の実施の形態】図1を参照して本発明にかかる透過型表示装置の実施形態を詳細に説明する。(A)は本透過型表示装置の模式的な断面構造を表わしている。図示する様に、本透過型表示装置は所定の間隙を介して互いに接合した一対の透明基板と、この間隙に保持された電気光学物質とを備えたパネル構造を有する。本例では一対の透明基板は駆動基板1と対向基板2とからなり、両者の間には電気光学物質として液晶3が保持されている。対向基板2は入射側に位置し少なくとも対向電極5を備えている。駆動基板1は出射側に位置し、画素電極6及びスイッチング素子7を構成単位とする画素4の集合と、個々の画素の非開口部を入射側から遮光するブラックマトリクスとを有する。図示を簡略化する為1個の画素4のみが示されている。ブラックマトリクスは比較的低い反射率を有する低反射金属層(16M, 16P)と比較的高い反射率を有する高反射金属層(9, 11, 12)とを層間絶縁膜17を介して重ねた積層構造を有する。両者はパタン化されて互いに部分的に重なり合い相補的に入射光を遮閉する。入射側から平面的に見て低反射金属層(16M, 16P)の露出面積を拡大化する一方、高反射金属層(9, 11, 12)の露出面積を縮小化してブラックマトリクスの表面反射を抑制する。本実施形態ではブラックマトリクスは低反射金属層(16M, 16P)が高反射金属層(9, 11, 12)よりも入射側に位置し、前者のパタンを後者のパタンの上部に拡張してブラックマトリクスの表面反射を抑制している。低反射金属層(16M, 16P)は例えばTi膜からなりその膜厚は250nmに設定されている。この場合、低反射金属層の光学濃度は約4であり、極めて大きな遮光性を有すると共に、その反射率は約25%である。一方、高反射金属層(9, 11, 12)は例えばAl膜からなりその厚みは600nm程度である。この高反射金属層の光学濃度は5に及ばない程度であり極めて優れた遮光性を有している。又、その反射率は約95%である。Alからなる高反射金属層とTiからなる低反射金属層との間の容量カップリングの影響が許される限りにおいて、下側の低反射金属層(A1)の上にはなるべく上側の高反射金属層(Ti)を配置する。これにより、駆動基板1の表面反射率を低くでき、例えば150以上のコントラスト比が得られる。この様な対策を施さない場合にはコントラスト比は100以下である。なお、ブラックマトリクスを構成する金属層の材料としては、Ti, Cr, Mo, Ta, W, Al, Cu, Ti

(4)

5

N, CrO等通常の配線材料を用いる事ができる。

【0008】(B)に示す様に、低反射金属層は行列配置した画素電極6の行方向に沿ったマスク遮光パターン16Mを含む一方、高反射金属層は列方向に沿った配線パターン9を含んでいる。マスク遮光パターン16Mと信号配線パターン9は互いに補い合っ

て格子状のブラックマトリクスを構成する。さらに、低反射金属層は行方向に沿ったマスク遮光パターン16Mに加えてこれから連続する拡張遮光パターン16Fを含んでいる。この拡張遮光パターン16Fは列方向に沿った信号配線パターン9の上部に配置されている。これにより、ブラックマトリクスの表面反射率を低減化できる。

【0009】引き続き図1の(A)を参照して駆動基板1の具体的な構造を詳細に説明する。駆動基板1は上層部と中層部と下層部とに分かれている。上層部は各画素4毎に形成された画素電極6を含む。これに対し、下層部は個々の画素電極6を駆動するスイッチング素子7、画素4の各行に対応して薄膜トランジスタの行を走査する走査配線パターン(図示せず)及び画素4の各列に対応してスイッチング素子7の列に所定の画像信号を供給する信号配線パターン9とを含んでいる。なおスイッチング素子7は多結晶シリコン等からなる半導体薄膜10を活性層とする薄膜トランジスタで構成されており、その上にはゲート絶縁膜を介してゲート絶縁膜Gがパタニング形成されている。このゲート電極Gは前述した走査配線パターンに連続している。薄膜トランジスタはゲート電極Gの両側にソース領域S及びドレイン領域Dを備えている。ソース領域S側には一方の引出電極11が接続しており、前述した信号配線パターン9に連続している。ドレイン領域Dには他方の引出電極12が接続している。以上に述べた引出電極11、12及び信号配線パターン9が下側の低反射金属層を構成している。なお、半導体薄膜10には上述した薄膜トランジスタに加え補助容量13も形成されている。この補助容量13は半導体薄膜10を一方の電極とし補助配線パターン14を他方の電極とする。両電極の間にゲート絶縁膜と同層の誘電体膜が介在している。なお、ゲート電極G、走査配線及び補助配線14は同一層からなり、第1層間絶縁膜15により、引出電極11、12から電氣的に絶縁されている。

【0010】上述した上層部と下層部との間の中層部には高反射金属層が介在している。この高反射金属層はマスク遮光パターン16Mとパッド遮光パターン16Pとに分割されている。一方のマスク遮光パターン16Mは画素の行方向に沿って連続的にパタニングされ、少なくとも部分的にスイッチング素子7を遮光する。マスク遮光パターン16Mは第2層間絶縁膜17及び平坦化膜18により上下から挟持されており、前述した下層部及び上層部から絶縁されている。マスク遮光パターン16Mは固定電位に保持されている。この固定電位は、例えば対向電極5の電位と等しく設定されている。一方、パッド遮光パ

6

ン16Pは画素4毎に離散的にパタニングされている。パッド遮光パターン16Pは対応する画素電極6とスイッチング素子7との間のコンタクト部Cに介在してその電氣的接続及び遮光を図る。具体的にはパッド遮光パターン16Pは画素電極6と引出電極12との間に介在しており両者の電氣的接続を良好にしている。なお、この引出電極12は前述した様に信号配線パターン9と同一層で形成され、薄膜トランジスタのドレイン領域Dに直接電氣接続している。この引出電極12はブラックマトリクスを構成する高反射金属層の一部であり遮光性を備え互いに分離したパッド遮光パターン16Pとマスク遮光パターン16Mとの間を遮光している。

【0011】(B)を参照してさらに具体的な構造の説明を続ける。図示する様に、マスク遮光パターン16Mは走査配線パターン8と平行にパタニング形成されている。従って、マスク遮光パターン16Mは遮光性を有する信号配線パターン9と交差しており、格子状のブラックマトリクスを構成する。これにより、個々の画素電極6の周囲を遮光して画素の開口を規定する。薄膜トランジスタは信号配線パターン9と同一層で形成された引出電極12を有しておりドレイン領域Dに直接接触している。この引出電極12はパッド遮光パターン16Pを介して上方の画素電極6に電氣接続している。換言すると、パッド遮光パターン16Pは画素電極6と薄膜トランジスタとの間のコンタクト部Cに介在している。引出電極12も遮光性を有しており、互いに分離したパッド遮光パターン16Pとマスク遮光パターン16Mとの間を遮光している。なお、(A)に示した補助配線パターン14は走査配線パターン8と平行に形成されている。補助配線パターン14の一部が半導体薄膜10と重なり合い、前述した補助容量を形成する。

【0012】以上説明した様に、遮光パターン16M、16Pはスイッチング素子7、信号配線パターン9、走査配線パターン8等より上方で、且つ画素電極6より下方に形成されている。マスク遮光パターン16Mは信号配線パターン9、走査配線パターン8、画素電極6の何れとも絶縁されている為、マスクすべき領域全てを最少限の面積で遮光する事ができる。この為、駆動基板1側のみで表示領域の完全遮光が可能になり、アクティブマトリクス型表示装置としての透過率を最大限まで高める事が可能である。又、対向基板2は対向電極5のみを形成すれば良い為、材料費や組立費も軽減可能である。さらに、マスク遮光パターン16Mは固定電位に保持されている為、各画素電極6に対しシールドの役割を果たす事ができる。一方、パッド遮光パターン16Pは画素電極6と引出電極12との間に介在し両者の電氣接続を良好なものにしている。さらに、本発明の特徴事項としてマスク遮光パターン16Mから列方向に沿って拡張遮光パターン16Fが延設されており、下地の信号配線パターン9を覆っている。前述した様に拡張遮光パターン16Fは低反射金属層からな

(5)

7

り、信号配線パタン9は高反射金属層からなる。この信号配線パタン9を拡張遮光パタン16Fで覆う事により、ブラックマトリクス全体としての表面反射率が低くなり、液晶3内の多重反射によるコントラスト低下を抑制している。

【0013】引き続き図1の(A)及び(B)を参照して、本発明にかかる透過型表示装置の製造方法を詳細に説明する。駆動基板1はガラス又は石英等からなり、この駆動基板1の上に減圧CVD法で半導体薄膜10を成膜する。例えば、この半導体薄膜10は50nm程度の膜厚に堆積した多結晶シリコンからなり、薄膜トランジスタの活性層として用いられる。この半導体薄膜10は成膜された後アイランド状にパタニングされる。半導体薄膜10の上に例えば SiO_2 からなるゲート絶縁膜を成膜する。ここで、半導体薄膜10の材料としては多結晶シリコンの他に非晶質シリコン等を用いても良い。又、ゲート絶縁膜の材料としては SiO_2 の他に、 SiN や酸化タンタル及びこれらの積層膜等を用いても良い。

【0014】次に、駆動基板1の上に走査配線パタン8、ゲート電極G、補助配線パタン14等を同時に形成する。例えば、減圧CVD法により350nm程度の膜厚で多結晶シリコンを堆積した後、不純物をドーピングして低抵抗化を図り、さらに所定の形状にパタニングする。これらの走査配線パタン8、ゲート電極G及び補助配線パタン14の材料としては、多結晶シリコンの他に、 Ta 、 Mo 、 Al 、 Cr 等の金属やそれらのシリサイド、ポリサイド等を用いても良い。この様にして、半導体薄膜10、ゲート絶縁膜及びゲート電極Gからなる薄膜トランジスタが形成される。本例ではこの薄膜トランジスタはプレーナ型であるが、正スタガ型や逆スタガ型等を採用しても良い。同時に、半導体薄膜10には補助容量13も形成される。

【0015】次に常圧CVD法により600nm程度の膜厚でPSG等を堆積し第1層間絶縁膜15を形成する。この第1層間絶縁膜15は上述した走査配線パタン8、ゲート電極G、補助配線パタン14等を被覆している。この第1層間絶縁膜15には薄膜トランジスタのソース領域Sやドレイン領域Dに達するコンタクトホールが開口されている。第1層間絶縁膜15の上にはブラックマトリクスを構成する下側の高反射金属層として信号配線パタン9や引出電極11、12がパタニング形成されている。例えば、スパッタリング法により600nm程度の膜厚でアルミニウムを堆積し高反射金属層とする。この高反射金属層を所定の形状にパタニングして信号配線パタン9及び引出電極11、12に加工する。一方の引出電極11はコンタクトホールを介して薄膜トランジスタのソース領域Sに接続し、他方の引出電極12は同じくコンタクトホールを介して薄膜トランジスタのドレイン領域Dに接続する。

【0016】信号配線パタン9や引出電極11、12の

8

上には第2層間絶縁膜17が成膜されており、これらを被覆する。例えば、常圧CVD法により600nm程度の膜厚でPSGを堆積して第2層間絶縁膜17を形成する。この第2層間絶縁膜17には引出電極12に達するコンタクトホールCが開口されている。この第2層間絶縁膜17の上にはブラックマトリクスを構成する上側の低反射金属層としてマスク遮光パタン16M、パッド遮光パタン16P及び拡張遮光パタン16Fが形成されている。例えば、スパッタリング法により250nm程度の膜厚でTiを堆積し、低反射金属層を形成する。この低反射金属層をパタニングしてマスク遮光パタン16M、パッド遮光パタン16P及び拡張遮光パタン16Fに加工する。マスク遮光パタン16Mは表示画素外の領域で固定電位にコンタクトしている。一方、パッド遮光パタン16Pは前述したコンタクトホールCを介して引出電極12にコンタクトしている。さらに、拡張遮光パタン16Fはマスク遮光パタン16Mから延設されており、下地の信号配線パタン9を遮閉している。本例ではマスク遮光パタン16M及び拡張遮光パタン16Fは全表示画素領域に渡って互いに接続されている。

【0017】マスク遮光パタン16M、パッド遮光パタン16P及び拡張遮光パタン16Fを被覆する様に平坦化膜18が成膜される。この平坦化膜18にはパッド遮光パタン16Pに達するコンタクトホールが開口している。平坦化膜18の上には画素電極6が形成されている。例えば、スパッタリング法により150nm程度の膜厚でITO等の透明導電膜を成膜し、所定の形状にパタニングして画素電極6に加工する。この後、ガラス等からなり対向電極5が全面に形成されている対向基板2を駆動基板1に接合する。両基板1、2の間隙に液晶3を封入する。この液晶3は例えばツイストネマチック配向されている。

【0018】図2(A)、(B)は図1(A)、(B)に示した実施形態の変化例を表わしている。基本的には同一構造を有しており対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、拡張遮光パタン16Fが電位固定されたマスク遮光パタン16Mから分離し且つ孤立した浮遊電位となっている事である。前述した様に、この拡張遮光パタン16Fは信号配線パタン9の上部に配置されている。本例では信号配線パタン9上の拡張遮光パタン16Fを分離してフローティング状態においている。

【0019】図3(A)、(B)は図1(A)、(B)に示した実施形態の他の変化例を表わしている。基本的には同一構造を有しており対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、上側の高反射金属層が単一の遮光パタン16のみからなる事である。画素電極6はこの遮光パタン16を介してスイッチング素子7を構成する薄膜トランジスタのドレイ

(6)

9

ン領域Dに電気接続している。従って、遮光パターン16は画素電極6と同電位にある。この関係で、本遮光パターン16は画素毎に分離されている。換言すると、図1に示したパッド遮光パターン16Pが拡大されて本遮光パターン16になったといえる。なお、この遮光パターン16は信号配線パターン9の上に延設された拡張部を備えている。場合によっては、この拡張部は図2に示した変化例と同じ様に分離してフローティング状態においても良い。

【0020】図4は図1に示した実施形態のさらに別の10 変化例を表わしている。異なる点は、スイッチング素子7としてトップゲート型の薄膜トランジスタに代えボトムゲート型の薄膜トランジスタを用いている事である。即ち、駆動基板1の表面にゲート電極Gがパタニングされ、その上をゲート絶縁膜20が被覆している。このゲート絶縁膜20の上にはアイランド状にパタニングされた半導体薄膜10が設けられている。かかる構成を有するボトムゲート型薄膜トランジスタのソース領域Sにはドーフトシリコン11Sを介して信号配線パターン9が接続している。又、ドレイン領域Dには同じくドーフトシリコン12Dを介して引出電極12が接続している。この引出電極12の他端は画素電極6に接続している。信号配線パターン9と引出電極12はエッチングストップパ2 2により互いに電氣的に分離されている。信号配線パターン9及び引出電極12は層間絶縁膜17により被覆されており、その上には遮光パターン16がパタニング形成されている。層間絶縁膜17によって上下に分離した遮光パターン16と信号配線パターン9及び引出電極12とでブラックマトリクスが構成されている。この遮光パターン16は浮遊電位となっている。ところでブラックマトリクスを構成する2層の金属層の材料は回路設計上及びプロセス設計上の要求特性から決定される為、その反射率は常に上層側が低反射率になるとは限らない。場合によっては、高反射金属層が低反射金属層よりも入射側に位置する事もある。この時には前者のパターンを後者のパターンの上部から選択的に排除してなるべく上層の高反射金属層は下層の低反射金属層の表面を隠さない様にパタニングする。これにより、ブラックマトリクスの表面反射を抑制する事ができる。図4の変化例はこの様な構造を例示したものである。

10

【0021】

【発明の効果】以上説明した様に、本発明によれば、入射側から平面的に見て低反射金属層の露出面積を拡大化する一方高反射金属層の露出面積を縮小化してブラックマトリクス全体としての表面反射率を抑制している。これにより液晶内の多重反射によるコントラスト低下を効果的に防止する事ができる。

【図面の簡単な説明】

【図1】本発明にかかる透過型表示装置の実施形態を示す模式的な部分断面図及び部分平面図である。

【図2】図1に示した実施形態の変化例を示す部分断面図及び部分平面図である。

【図3】図1に示した実施形態の他の変化例を示す部分断面図及び部分平面図である。

【図4】図1に示した実施形態の別の変化例を示す部分断面図である。

【図5】従来の透過型表示装置の一例を示す断面図である。

【図6】従来の透過型表示装置の他の例を示す断面図である。

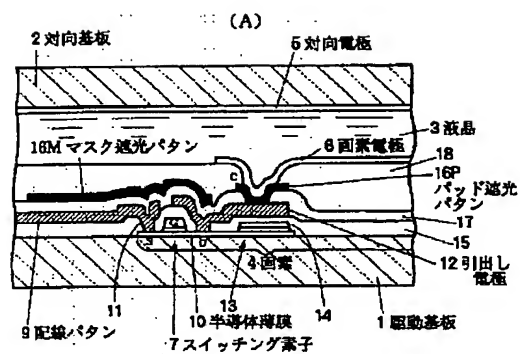
【符号の説明】

- | | |
|-----|------------|
| 1 | 駆動基板 |
| 2 | 対向基板 |
| 3 | 液晶 |
| 4 | 画素 |
| 5 | 対向電極 |
| 6 | 画素電極 |
| 7 | スイッチング素子 |
| 8 | 走査配線パターン |
| 9 | 信号配線パターン |
| 11 | 引出電極 |
| 12 | 引出電極 |
| 14 | 補助容量配線パターン |
| 15 | 第1層間絶縁膜 |
| 16M | マスク遮光パターン |
| 16P | パッド遮光パターン |
| 16F | 拡張遮光パターン |
| 17 | 第2層間絶縁膜 |
| 18 | 平坦化膜 |

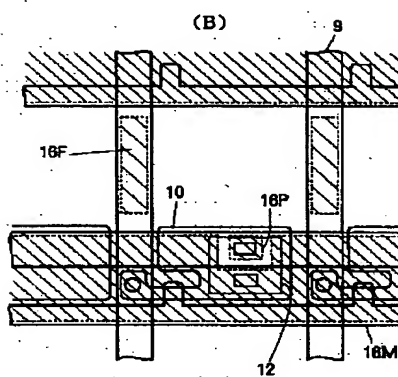
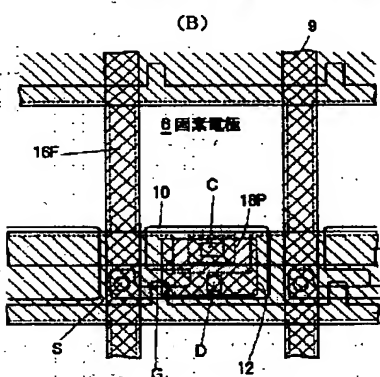
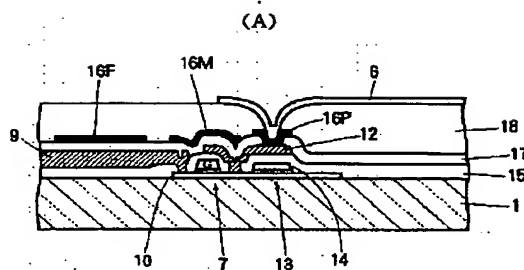
40

(7)

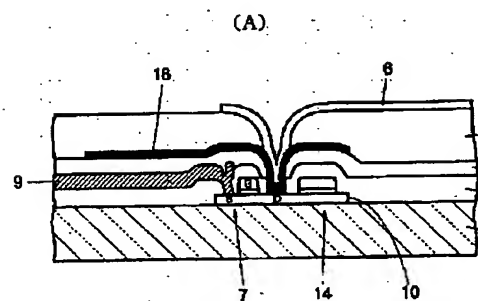
【図1】



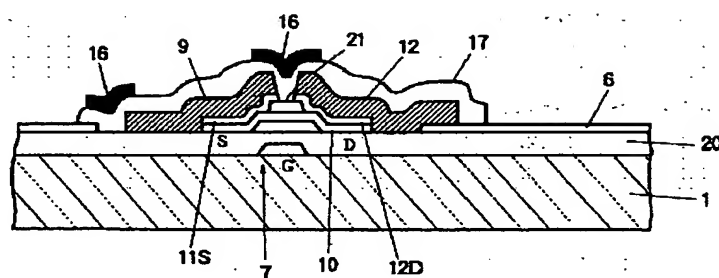
【図2】



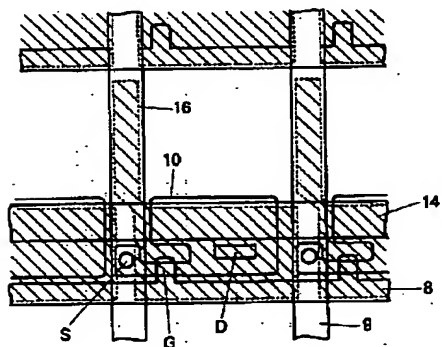
【図3】



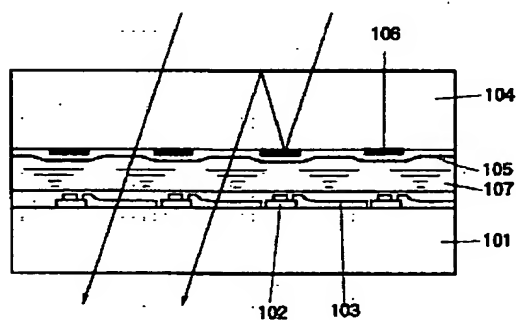
【図4】



(B)

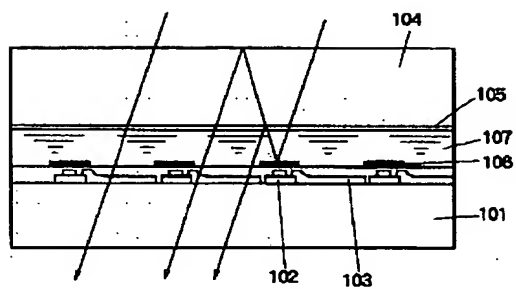


【図5】



(8)

【図6】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-043639

(43)Date of publication of application : 14.02.1997

(51)Int.Cl.

G02F 1/136

G09F 9/30

(21)Application number : 07-215384

(71)Applicant : SONY CORP

(22)Date of filing : 31.07.1995

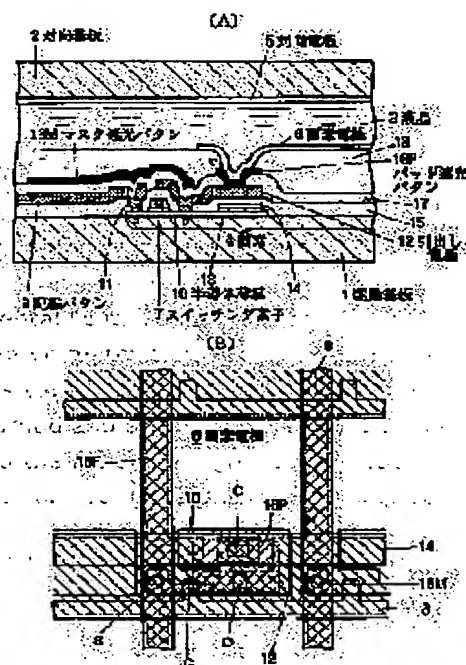
(72)Inventor : SATO TAKUO

(54) TRANSMISSION TYPE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a contrast from lowering caused by multipath reflection by providing a black matrix structure at a driving substrate.

SOLUTION: A driving substrate 1 positioned at the side of outgoing light of a transmission type display device has a group of pixels 4 which is a structural unit including a pixel electrode 6 and a switching element 7, and a black matrix shielding a closed part of each pixel 4 at the side of incidental light. The black matrix has a laminated structure of low reflective material layers (16M, 16P, 16F) and high reflective metal layers (9, 11, 12) laminated via interlayer insulation film, 17. Both are patterned and are partly overlapped on each other and complementarily shield the incidental light. Bare areas of the low reflective metal layers (16M, 16P, 16F) are enlarged looking at them from the top at the side of the incidental light on the counter substrates 2, while the bare areas of the high reflective metal layers (9, 11, 12) are reduced to suppress a surface reflection factor of the black matrix. Thus, multipath reflection in the liquid crystal 3 disappears and contrast is prevented from lowering due to leakage light.



LEGAL STATUS

[Date of request for examination]

28.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3307181

[Date of registration]

17.05.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It has the panel structure equipped with the transparence substrate of the pair mutually joined through the predetermined gap, and the electrooptic material held in this gap. The set of the pixel to which the transparence substrate of another side where a transparence substrate has a counterelectrode and while it is located in an incidence side is located in an outgoing radiation side makes a pixel electrode and a switching element a configuration unit, It has the black matrix which shades non-opening of each pixel from an incidence side. This black matrix has the laminated structure which piled up the low reflective metal layer which has a comparatively low reflection factor, and the high reflective metal layer which has a comparatively high reflection factor through the insulator layer. Both are transparency mold displays which are pattern-ized, overlap partially mutually, shield incident light complementary, see superficially from an incidence side, and expansion-ize the exposure product of this low reflective metal layer and which, on the other hand, reduction-ize the exposure product of this high reflective metal layer.

[Claim 2] Said black matrix is a transparency mold display according to claim 1 with which this low reflective metal layer is located in an incidence side, extends the former pattern to the upper part of the latter pattern, and controls surface reflection of this black matrix rather than this high reflective metal layer.

[Claim 3] This protection-from-light pattern and this wiring pattern are a transparency mold display according to claim 2 which compensates each other and constitutes a black matrix including the wiring pattern containing the protection-from-light pattern with which said low reflective metal layer met the line writing direction of the pixel which carried out matrix arrangement with which said high reflective metal layer met in the direction of a train on the other hand.

[Claim 4] It is the transparency mold display according to claim 3 with which said low reflective metal layer contains the extended protection-from-light pattern of the floating potential which dissociated from this protection-from-light pattern by which the voltage clamp was carried out, and was isolated, and this extended protection-from-light pattern is arranged in the upper part of this wiring pattern.

[Claim 5] Said black matrix is a transparency mold display according to claim 1 with which this high reflective metal layer is located in an incidence side, eliminates the former pattern alternatively from the upper part of the latter pattern, and controls surface reflection of this black matrix rather than this low reflective metal layer.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the transparency mold display of the active-matrix structure which consists of liquid crystal held between a drive substrate, an opposite substrate, and both. It is related with the so-called on-chip black structure which formed the black matrix for protection from light in the drive substrate side in addition to the pixel electrode and the switching element in more detail.

[0002]

[Description of the Prior Art] The liquid crystal display is briskly used for television, graphic display, etc. Also in it, especially the liquid crystal display of a active-matrix mold has high-speed responsibility, and fits high pixel number-ization, it is expected as what realizes high-definition-izing of a display screen, enlargement, colorization, etc., and there are some which researches and developments were furthered and were already put in practical use. As shown in drawing 5, this active-matrix mold display is prepared so that a scan wiring pattern and a signal wiring pattern may be intersected perpendicularly with the drive substrate 101 side, and arranges a switching element 102 and the pixel electrode 103 for every intersection of that, respectively. On the other hand, in addition to the counterelectrode 105, the black matrix 106 is usually formed in the opposite substrate 104 side. This black matrix intercepted the leakage light which passes through between the pixel electrodes 103 which carried out matrix arrangement, and has prevented the fall of contrast while it intercepts the light which carries out light incidence and protects malfunction of the switching element 102 by the photocurrents from the opposite substrate 104 side. In addition, liquid crystal 107 is held in the gap of the drive substrate 101 and the opposite substrate 104. However, if the black matrix 106 is formed in the opposite substrate 104 side, alignment by the side of the drive substrate 101 must be performed to a precision, and it has become a burden on assembly processing. The method of arranging the black matrix 106 so that each pixel electrode 103 may be overlapped to some extent as a cure of such an alignment gap is usually adopted. If it is made this appearance, the dimension of an overlap part can absorb the alignment error at the time of joining the drive substrate 101 and the opposite substrate 104. However, if an overlap part is prepared, opening area to the pixel electrode 103 of the part black matrix 106 will be reduction-ized, a numerical aperture falls victim, and the brightness of a pixel falls. In addition, the black matrix 106 consists of a metal membrane which has for example, protection-from-light nature, and reflects incident light to some extent. The multiple echo of the reflected light is carried out in opposite substrate 104 grade, and a part advances into liquid crystal 107.

[0003]

[Problem(s) to be Solved by the Invention] Thus, there is a problem of the location gap produced in case it combines a drive substrate and an opposite substrate, in arranging a black matrix in an opposite substrate side. Then, the so-called on-chip black structure which makes a black matrix to a drive substrate side is proposed. On the same substrate, the alignment precision of a pixel electrode and a black matrix is realizable to about 1 micrometer. This on-chip black structure is indicated by JP,5-181159,A, and is expressed to the mimetic diagram of drawing 6. A corresponding reference number is given to the conventional example of drawing 5 R> 5, and a corresponding part, and an understanding is made easy. However, the black matrix 106 which is from a metal membrane etc. on the drive substrate 101 side was established, with the on-chip black structure which does not have a protection-from-light

layer in the opposite substrate 104 side, the multiple echo of incident light became a problem and the fall of contrast has occurred. The black matrix 106 consists of a metal membrane, and reflects incident light in the appearance mentioned above at a certain rate. If a reflecting layer exists in the drive substrate 101 side, the amount of [which reflects multiply the inside of liquid crystal 107] Mitsunari will come out. Plane of polarization has shifted from the ordinary light which passes liquid crystal 107 only once, also when it is a black display for this reason, leakage light arises, and the fall of contrast produces the multiple echo light in liquid crystal 107. Especially in the field in which the reverse tilt domain by longitudinal direction electric field exists, a lot of leakage light occurs by the multiple echo. Since a multiple echo arises not only about the incident light from the opposite substrate 104 side but about the incident light from the drive substrate 101 side, it has a bad influence on contrast.

[0004]

[Means for Solving the Problem] The following means were provided in order to solve the technical problem of a Prior art mentioned above. That is, the transparency mold display concerning this invention has the panel structure equipped with the transparence substrate of the pair mutually joined through the predetermined gap, and the electrooptic material held in this gap. While is located in an incidence side and a transparence substrate has a counterelectrode. The transparence substrate of another side located in an outgoing radiation side has the set of the pixel which makes a pixel electrode and a switching element a configuration unit, and the black matrix which shades non-opening of each pixel from an incidence side. This black matrix has the laminated structure which piled up the low reflective metal layer which has a comparatively low reflection factor, and the high reflective metal layer which has a comparatively high reflection factor through the insulator layer. Both are pattern-ized; overlap partially mutually and shield incident light complementary. While seeing superficially from an incidence side as a description matter and expansion-izing the exposure product of this low reflective metal layer, the exposure product of this high reflective metal layer is reduction-ized.

[0005] Preferably, this low reflective metal layer is located in an incidence side rather than this high reflective metal layer, extends the former pattern to the upper part of the latter pattern, and said black matrix controls surface reflection of this black matrix. While said low reflective metal layer contains the protection from light pattern in alignment with the line writing direction of the pixel which carried out the matrix arrangement, specifically, said high reflective metal layer contains the wiring pattern which met in the direction of a train. In this case, it compensates this protection from light pattern and this each other's wiring pattern, and they constitute a black matrix. Said low reflective metal layer contains still more preferably the extended protection from light pattern of the floating potential which dissociated from this protection from light pattern by which the voltage clamp was carried out, and was isolated. This extended protection from light pattern is arranged in the upper part of this wiring pattern. As for said black matrix, this high reflective metal layer is located in an incidence side depending on [layer / this / low reflective metal] the case. At this time, the former pattern is alternatively eliminated from the upper part of the latter pattern, and surface reflection of this black matrix is controlled.

[0006] According to this invention, it is made the black matrix combining the low reflective metal layer and the high reflective metal layer. Both are pattern-ized, overlap partially mutually and shield incident light complementary. While seeing superficially from an incidence side and expansion-izing the exposure product of a low reflective metal layer, the exposure product of a high reflective metal layer was reduction-ized, and surface reflection of a black matrix is controlled. Thereby, the contrast fall by the multiple echo in liquid crystal can be prevented. For example, it shades in a low reflective metal layer, and is made not to install a high reflective metal layer on it about the field which can shade in any layer of a low reflective metal layer and a high reflective metal layer. When a low reflective metal layer is located in the upper layer rather than a high reflective metal layer, a low reflective metal layer is arranged in the upper part of a high reflective metal layer besides a lap part required for complementary protection from light. Or when the high reflective metal layer is arranged conversely in the upper part of a low reflective metal layer, it is made not to install a high reflective metal layer in the upper part of a

low reflective metal layer except for the lap section required for complementary protection from light. [0007]

[Embodiment of the Invention] The operation gestalt of the transparency mold display applied to this invention with reference to drawing 1 is explained to a detail. (A) expresses the typical cross-section structure of this transparency mold display. This transparency mold display has the panel structure equipped with the transparence substrate of a pair each other joined through the predetermined gap, and the electrooptic material held in this gap so that it may illustrate. In this example, the transparence substrate of a pair consists of a drive substrate 1 and an opposite substrate 2, and liquid crystal 3 is held as electrooptic material among both. The opposite substrate 2 was located in the incidence side, and is equipped with the counterelectrode 5 at least. The drive substrate 1 is located in an outgoing radiation side, and has the set of the pixel 4 which makes a configuration unit the pixel electrode 6 and a switching element 7, and the black matrix which shades non-opening of each pixel from an incidence side. In order to simplify illustration, only one pixel 4 is shown. A black matrix has the laminated structure which piled up the low reflective metal layer (16M, 16P) which has a comparatively low reflection factor, and the high reflective metal layer (9, 11, 12) which has a comparatively high reflection factor through the interlayer insulation film 17. Both are pattern-ized, overlap partially mutually and shield incident light complementary. While seeing superficially from an incidence side and expansion-izing the exposure product of a low reflective metal layer (16M, 16P), the exposure product of a high reflective metal layer (9, 11, 12) is reduction-ized, and surface reflection of a black matrix is controlled. With this operation gestalt, the low reflective metal layer (16M, 16P) was located in the incidence side rather than the high reflective metal layer (9, 11, 12), extended the former pattern to the upper part of the latter pattern, and the black matrix has controlled surface reflection of a black matrix. A low reflective metal layer (16M, 16P) consists for example, of Ti film, and the thickness is set as 250nm. In this case, the optical density of a low reflective metal layer is about 4, and while having very big protection-from-light nature, that reflection factor is about 25%. On the other hand, a high reflective metal layer (9, 11, 12) consists for example, of aluminum film, and the thickness is about 600nm. The optical density of this high reflective metal layer has the protection-from-light nature which is extent as low which is less than 5 and was extremely excellent. Moreover, the reflection factor is about 95%. As long as the effect of capacity coupling between the low reflective metal layers which consist of a high reflective metal layer which consists of aluminum, and Ti is allowed, if possible, on a lower low reflective metal layer (aluminum), an upper high reflective metal layer (Ti) is arranged. Thereby, the surface reflection factor of the drive substrate 1 can be made low, for example, 150 or more contrast ratios are obtained. When not taking such measures, a contrast ratio is 100 or less. In addition, as an ingredient of the metal layer which constitutes a black matrix, the usual wiring materials, such as Ti, Cr, Mo, Ta, W, aluminum, Cu, TiN, and CrO, can be used.

[0008] As shown in (B), while a low reflective metal layer contains mask protection-from-light pattern 16M in alignment with the line writing direction of the pixel electrode 6 which carried out matrix arrangement, the high reflective metal layer contains the wiring pattern 9 which met in the direction of a train. It compensates mask protection-from-light pattern 16M and each other's signal wiring pattern 9, and they constitute a grid-like black matrix. Furthermore, the low reflective metal layer contains extended protection-from-light pattern 16F which continue after this in addition to mask protection-from-light pattern 16M in alignment with a line writing direction. These extended protection-from-light pattern 16F are arranged in the upper part of the signal wiring pattern 9 which met in the direction of a train. Thereby, -izing of the surface reflection factor of a black matrix can be carried out [****].

[0009] With reference to (A) of drawing 1, the concrete structure of the drive substrate 1 is succeedingly explained to a detail. The drive substrate 1 is divided into a management, the medium-rise section, and the lower layer section. A management contains the pixel electrode 6 formed every pixel 4. On the other hand, the lower layer section contains the signal wiring pattern 9 which supplies a predetermined picture signal to the train of a switching element 7 corresponding to each train of the

scan wiring pattern (not shown) which scans the line of a thin film transistor corresponding to each line of the 7 pixel switching element 4 which drives each pixel electrode 6, and a pixel 4. In addition, the switching element 7 consists of thin film transistors which make a barrier layer the semi-conductor thin film 10 which consists of polycrystalline silicon etc., and patterning formation of the gate-dielectric-film G is carried out through gate dielectric film on it. This gate electrode G is following the scan wiring pattern mentioned above. The thin film transistor equips the both sides of the gate electrode G with the source field S and the drain field D. One drawer electrode 11 has connected with the source field S side, and the signal wiring pattern 9 mentioned above is followed. The drawer electrode 12 of another side has connected with the drain field D. The drawer electrodes 11 and 12 and the signal wiring pattern 9 which were described above constitute the lower low reflective metal layer. In addition, in addition to the thin film transistor mentioned above, the auxiliary capacity 13 is also formed in the semi-conductor thin film 10. This auxiliary capacity 13 uses the semi-conductor thin film 10 as one electrode, and uses the auxiliary wiring pattern 14 as the electrode of another side. Gate dielectric film and the dielectric film of this layer intervene between two electrodes. In addition, the gate electrode G, scan wiring, and the auxiliary wiring 14 consist of the same layer, and are electrically insulated from the drawer electrodes 11 and 12 with the 1st interlayer insulation film 15.

[0010] It is placed between the medium-rise sections between the managements and the lower layer sections which were mentioned above by the high reflective metal layer. This high reflective metal layer is divided into mask protection-from-light pattern 16M and pad protection-from-light pattern 16P. Along with the line writing direction of a pixel, patterning of one mask protection-from-light pattern 16M is carried out continuously, and they shade a switching element 7 partially at least. Mask protection-from-light pattern 16M are pinched from the upper and lower sides with the 2nd interlayer insulation film 17 and the flattening film 18, and are insulated from the lower layer section and the management which were mentioned above. Mask protection-from-light pattern 16M are held at fixed potentials. This fixed potential is set up equally to the potential of a counterelectrode 5. On the other hand, patterning of pad protection-from-light pattern 16P is carried out discretely every pixel 4. It is placed between the contact sections C between corresponding pixel electrodes 6 and switching elements 7 by pad protection-from-light pattern 16P, and they aim at the electrical installation and protection from light. Pad protection-from-light pattern 16P intervene between the pixel electrode 6 and the drawer electrode 12, and, specifically, make both electrical installation good. In addition, this drawer electrode 12 is also formed in the appearance mentioned above in the same layer as the signal wiring pattern 9, and is carrying out direct electrical connection to the drain field D of a thin film transistor. This drawer electrode 12 is shading between pad protection-from-light pattern 16P which were a part of high reflective metal layer which constitutes a black matrix, were equipped with protection-from-light nature and separated mutually, and mask protection-from-light pattern 16M.

[0011] Explanation of still more concrete structure is continued with reference to (B). Patterning formation of mask protection-from-light pattern 16M is carried out in parallel with the scan wiring pattern 8 so that it may illustrate. Therefore, mask protection-from-light pattern 16M intersect the signal wiring pattern 9 which has protection-from-light nature, and constitute a grid-like black matrix. Thereby, the perimeter of each pixel electrode 6 is shaded and opening of a pixel is specified. The thin film transistor has the drawer electrode 12 formed in the same layer as the signal wiring pattern 9, and touches the drain field D directly. Electrical connection of this drawer electrode 12 is carried out to the upper pixel electrode 6 through pad protection-from-light pattern 16P. It is placed between the contact sections C between the pixel electrode 6 and a thin film transistor by pad protection-from-light pattern 16P if it puts in another way. The drawer electrode 12 also has protection-from-light nature, and between pad protection-from-light pattern 16P separated mutually and mask protection-from-light pattern 16M is shaded. In addition, the auxiliary wiring pattern 14 shown in (A) is formed in parallel with the scan wiring pattern 8. Some auxiliary wiring patterns 14 form the semi-conductor thin film 10, overlap, and the auxiliary capacity mentioned above.

[0012] From the switching element 7, the signal wiring pattern 9, and the scan wiring pattern 8 grade, the protection-from-light patterns 16M and 16P are the upper parts, and are formed in the appearance explained above more nearly caudad than the pixel electrode 6. Since it insulates with both the signal wiring pattern 9 the scan wiring pattern 8 and the pixel electrode 6, mask protection-from-light pattern 16M can shade all the fields that should be carried out a mask in the minimum area. For this reason, it is possible for full protection from light of a viewing area to be attained only by the drive substrate 1 side, and to raise the permeability as a active-matrix mold display to the maximum. Moreover, since the opposite substrate 2 should form only a counterelectrode 5, it can also mitigate the cost of materials and assembly expense. Furthermore, since mask protection-from-light pattern 16M are held at fixed potential, they can play the role of shielding to each pixel electrode 6. On the other hand, pad protection-from-light pattern 16P intervene between the pixel electrode 6 and the drawer electrode 12, and make both electrical connection good. Furthermore, extended protection-from-light pattern 16F are installed along the direction of a train from mask protection-from-light pattern 16M as a description matter of this invention, and the signal wiring pattern 9 of a substrate is covered. Extended protection-from-light pattern 16F become the appearance mentioned above from a low reflective metal layer, and the signal wiring pattern 9 consists of a high reflective metal layer. The surface reflection factor as the whole black matrix became low by the wrap thing by extended protection-from-light pattern 16F about this signal wiring pattern 9, and the contrast fall by the multiple echo in liquid crystal 3 is controlled.

[0013] With reference to (A) of drawing 1, and (B), the manufacture approach of the transparency mold display concerning this invention is succeedingly explained to a detail. The drive substrate 1 consists of glass or a quartz, and forms the semi-conductor thin film 10 with a reduced pressure CVD method on this drive substrate 1. For example, this semi-conductor thin film 10 consists of polycrystalline silicon deposited on about 50nm thickness, and is used as a barrier layer of a thin film transistor. Patterning of this semi-conductor thin film 10 is carried out to the shape of a formed back island. the semi-conductor thin film 10 top, for example, SiO₂ from the becoming gate dielectric film is formed. Here, as an ingredient of the semi-conductor thin film 10, amorphous silicon etc. may be used other than polycrystalline silicon. Moreover, as an ingredient of gate dielectric film, it is SiO₂, SiN, tantalum oxide, etc. and these cascade screens etc. may be used for others.

[0014] Next, the scan wiring pattern 8, the gate electrode G, and auxiliary wiring pattern 14 grade are formed on the drive substrate 1 at coincidence. For example, after depositing polycrystalline silicon in about 350nm thickness with a reduced pressure CVD method, an impurity is doped, low resistance-ization is attained and patterning is carried out to a further predetermined configuration. As an ingredient of these scan wiring patterns 8, the gate electrode G, and the auxiliary wiring pattern 14, metals, such as Ta, Mo, aluminum, and Cr, those silicide, a polycide, etc. may be used other than polycrystalline silicon. Thus, the thin film transistor which consists of the semi-conductor thin film 10, gate dielectric film, and a gate electrode G is formed. Although this thin film transistor is a planar mold in this example, a forward stagger mold, a reverse stagger mold, etc. may be adopted. The auxiliary capacity 13 is also formed in the semi-conductor thin film 10 at coincidence.

[0015] Next, PSG etc. is deposited in about 600nm thickness with an ordinary pressure CVD method, and the 1st interlayer insulation film 15 is formed. This 1st interlayer insulation film 15 has covered the scan wiring pattern 8, the gate electrode G, and auxiliary wiring pattern 14 grade which were mentioned above. Opening of the contact hole which arrives at the source field S and the drain field D of a thin film transistor is carried out to this 1st interlayer insulation film 15. On the 1st interlayer insulation film 15, patterning formation of the signal wiring pattern 9 or the drawer electrodes 11 and 12 is carried out as a high reflective metal layer of the bottom which constitutes a black matrix. For example, aluminum is deposited in about 600nm thickness by the sputtering method, and it considers as a high reflective metal layer. Patterning of this high reflective metal layer is carried out to a predetermined configuration, and it is processed into the signal wiring pattern 9 and the drawer electrodes 11 and 12. It connects with the source field S of a thin film transistor through a contact hole, and, similarly one drawer electrode 11

connects the drawer electrode 12 of another side to the drain field D of a thin film transistor through a contact hole.

[0016] The 2nd interlayer insulation film 17 is formed on the signal wiring pattern 9 or the drawer electrodes 11 and 12, and these are covered. For example, PSG is deposited in about 600nm thickness with an ordinary pressure CVD method, and the 2nd interlayer insulation film 17 is formed. Opening of the contact hole C which reaches the drawer electrode 12 is carried out to this 2nd interlayer insulation film 17. On this 2nd interlayer insulation film 17, mask protection-from-light pattern 16M, pad protection-from-light pattern 16P, and extended protection-from-light pattern 16F are formed as a low reflective metal layer of the bottom which constitutes a black matrix. For example, Ti is deposited in about 250nm thickness by the sputtering method, and a low reflective metal layer is formed. Patterning of this low reflective metal layer is carried out, and it is processed into mask protection-from-light pattern 16M, pad protection-from-light pattern 16P, and extended protection-from-light pattern 16F. Mask protection-from-light pattern 16M are in contact with fixed potential in the field besides a display pixel. On the other hand, pad protection-from-light pattern 16P are in contact with the drawer electrode 12 through the contact hole C mentioned above. Furthermore, extended protection-from-light pattern 16F are installed from mask protection-from-light pattern 16M, and are shielding the signal wiring

pattern 9 of a substrate. In this example, mask protection-from-light pattern 16M and extended protection-from-light pattern 16F are crossed to all display pixel fields, and are connected mutually. [0017] The flattening film 18 is formed so that mask protection-from-light pattern 16M, pad protection-from-light pattern 16P, and extended protection-from-light pattern 16F may be covered. The contact hole which amounts to pad protection-from-light pattern 16P is carrying out opening to this flattening film 18. The pixel electrode 6 is formed on the flattening film 18. For example, transparence electric conduction film, such as ITO, is formed by about 150nm thickness by the sputtering method, patterning is carried out to a predetermined configuration, and it is processed into the pixel electrode 6. Then, the opposite substrate 2 with which it consists of glass etc. and the counterelectrode 5 is formed in the whole surface is joined to the drive substrate 1. Liquid crystal 3 is enclosed with the gap of both the substrates 1 and 2. For example, twist nematic orientation of this liquid crystal 3 is carried out to twist nematic

[0018] Drawing 2 (A) and (B) express the example of change of the operation gestalt shown in drawing 1 (A) and (B). A corresponding reference number is given to the part which has the same structure fundamentally and corresponds, and an understanding is made easy. A different point is having floating potential to which extended protection-from-light pattern 16F separated into from mask protection-from-light pattern 16M by which the voltage clamp's was carried out, and were isolated. These extended protection-from-light pattern 16F are arranged in the upper part of the signal wiring pattern 9 at the appearance mentioned above. In this example, in order to control load-carrying capacity increase of the signal wiring pattern 9, extended protection-from-light pattern 16F on the signal wiring pattern 9 were separated, and it has set to floating.

[0019] Drawing 3 (A) and (B) express other examples of change of the operation gestalt shown in drawing 1 (A) and (B). A corresponding reference number is given to the part which has the same structure fundamentally and corresponds, and an understanding is made easy. A different point is that an upper high reflective metal layer consists only of a single protection-from-light pattern 16. Electrical connection of the pixel electrode 6 is carried out to the drain field D of the thin film transistor which constitutes a switching element 7 through this protection-from-light pattern 16. Therefore, the protection-from-light pattern 16 is in the pixel electrode 6 and this potential. By this relation, this protection-from-light pattern 16 is separated for every pixel. If it puts in another way, it can be said that pad protection-from-light pattern 16P shown in drawing 1 were expanded, and it became this protection-from-light pattern 16. In addition, this protection-from-light pattern 16 is equipped with the extension installed on the signal wiring pattern 9. It may dissociate like the example of change shown in drawing 2 depending on the case, and this extension may be set to floating.

[0020] Drawing 4 expresses still more nearly another example of change of the operation gestalt shown

in drawing 1 . A different point is replacing with the thin film transistor of a top gate mold as a switching element 7, and using the thin film transistor of a bottom gate mold. That is, patterning of the gate electrode G was carried out to the front face of the drive substrate 1, and gate dielectric film 20 has covered a it top. On this gate dielectric film 20, the semi-conductor thin film 10 by which patterning was carried out to the shape of an island is formed. The signal wiring pattern 9 has connected with the source field S of the bottom gate mold thin film transistor which has this configuration through doped silicon 11S. Moreover, as well as the drain field D, the drawer electrode 12 has connected through doped silicon 12D. The other end of this drawer electrode 12 is connected to the pixel electrode 6. The signal wiring pattern 9 and the drawer electrode 12 of each other are electrically separated by the etching stopper 21. The signal wiring pattern 9 and the drawer electrode 12 are covered with the interlayer insulation film 17, and patterning formation of the protection-from-light pattern 16 is carried out on it. The black matrix consists of the protection-from-light patterns 16, the signal wiring patterns 9, and the drawer electrodes 12 which were separated up and down with the interlayer insulation film 17. This protection-from-light pattern 16 serves as floating potential. By the way, since the ingredient of the two-layer metal layer which constitutes a black matrix is determined from the demand characteristics on a circuit design and a process design, as for the reflection factor, an upper layer side does not always become a low reflection factor. A high reflective metal layer may be located in an incidence side depending on [layer / low reflective metal] the case. At this time, the former pattern is alternatively or more eliminated from the upper part of the latter pattern, and; if possible, patterning of the upper high reflective metal layer is carried out to the appearance which does not hide the front face of a lower low reflective metal layer. Thereby, surface reflection of a black matrix can be controlled. The example of change of drawing 4 illustrates such structure.

[0021]

[Effect of the Invention] The surface reflection factor which sees from an incidence side superficially to the appearance explained above, and expansionizes the exposure product of a low reflective metal layer to it according to this invention and which; on the other hand, reduction-izes the exposure product of a high reflective metal layer, and is made into the whole black matrix is controlled. Thereby, the contrast fall by the multiple echo in liquid crystal can be prevented effectively.

[Translation done]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the typical fragmentary sectional view and part plan showing the operation gestalt of the transparency mold display concerning this invention.

[Drawing 2] It is the fragmentary sectional view and part plan showing the example of change of the operation gestalt shown in drawing 1 .

[Drawing 3] It is the fragmentary sectional view and part plan showing other examples of change of the operation gestalt shown in drawing 1 .

[Drawing 4] It is the fragmentary sectional view showing another example of change of the operation gestalt shown in drawing 1 .

[Drawing 5] It is the sectional view showing an example of the conventional transparency mold display.

[Drawing 6] It is the sectional view showing other examples of the conventional transparency mold display.

[Description of Notations]

1 Drive Substrate

2 Opposite Substrate

3 Liquid Crystal

4 Pixel

5 Counterelectrode

6 Pixel Electrode

7 Switching Element

8 Scan Wiring Pattern

9 Signal Wiring Pattern

11 Drawer Electrode

12 Drawer Electrode

14 Auxiliary Capacity Wiring Pattern

15 1st Interlayer Insulation Film

16M Mask protection-from-light pattern

16P Pad protection-from-light pattern

16F Extended protection-from-light pattern

17 2nd Interlayer Insulation Film

18 Flattening Film

19 Flattening Film

20 Flattening Film

21 Flattening Film

22 Flattening Film

23 Flattening Film

24 Flattening Film

25 Flattening Film

26 Flattening Film

27 Flattening Film

28 Flattening Film

29 Flattening Film

30 Flattening Film

31 Flattening Film

32 Flattening Film

33 Flattening Film

34 Flattening Film

35 Flattening Film

36 Flattening Film

37 Flattening Film

38 Flattening Film

39 Flattening Film

40 Flattening Film

41 Flattening Film

42 Flattening Film

43 Flattening Film

44 Flattening Film

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.